

**Japanese Patent #52-30390  
03-1977  
Yashikaza**

**7 pages with cover page**



(4,000円) 特許額 4

昭和50年9月3日

特許庁長官

発明の名称 半導体集積回路

発明者

東京都 草加市日立市幸町3丁目1番1号  
株式会社 日立製作所 日立研究所内  
大曾根

特許出願人

住所 東京都千代田区丸の内一丁目5番1号  
株式会社 日立製作所 内  
代 替 人東京都千代田区丸の内一丁目5番1号  
株式会社 日立製作所 内 方式  
電話又は 270-2111(大代表) 電話番号

正名 (6100) 井戸士高 勝明夫

## 明細書

発明の名称 半導体集積回路

## 特許請求の範囲

入力端子あるいは出力端子が互に接続され、かつ、相互に独立して動作する複数個の同一構成、動作を行なう回路素子について、相互接続端子を有する各回路素子の不活性部は該領域を一基結晶シリコン内で共有し、相互接続端子を持たない不活性部該領域は同時に応じて当該半結晶シリコン内に相互に独立して形成したことを特徴とする半導体集積回路。

## 発明の詳細を説明

本発明は同一構成を有する複数個の回路素子を同一結晶内に集成化して高密度化を図つた半導体集積回路に関するものである。

電気回路では、同一構成を有する複数個の回路素子、例えば、トランジスター、ダイオード、あるいは抵抗等をその入力端子あるいは出力端子側で互に接続して使用することがしばしばなされる。

其1例は、上記使用例の一例を示すサイリス

⑯ 日本国特許庁

## 公開特許公報

⑪特開昭 52-30390

⑫公開日 昭 52. (1977) 3. 8

⑬特願昭 50-105951

⑭出願日 昭 50. (1975) 9. 3

審査請求 有 (全6頁)

序内整理番号

7210 57

⑮日本分類

99B/H0

⑯ Int.C11

H01L 27/04

H01L 23/50

の点集積回路を示している。

サイリスチュー。 16はいずれも、P-n-P-n-P-n-P-nの4層構造を取り、P-n-P-nの両端にゲート端子が設けられている。2は定電流回路であり、電流3からの電流をトランジスタのベース端子に加えられた信号により定電流化してサイリスチュー。 16の各ゲート端子に保護用端子イオード5～6を通じて印加する。サイリスチュー。 16がD. 層あるいはE. 層のどちらのゲート端子に加えられる点滅信号によって動作するかは、サイリスチュー。 16のカソード電位によるものであり、この点については、別途説明する。

定電流回路2Kにおける定電流化はサイリスチューに限っては、抵抗9、ゲーリントン構成されたpnpトランジスタ10a、およびnpnトランジスタ11a、ダイオードD12Kより成られ、また、サイリスチュー16に限っては、抵抗9、ゲーリントン構成されたpnpトランジスタ10b、およびnpnトランジスタ11b、ダイオードD12Kによって成られ、抵抗9、ダイオードD12

が使用された形となつてゐる。

トランジスタにおける電流増幅倍率  $\beta$  が小さい場合、電源電圧の大部分をベース電圧として消費することとなり、大きいことではなく供給する半導体装置回路で用いられるラジアル構造のトランジスタでは高耐圧  $n-p-n$  トランジスタにおける電流増幅倍率とは同じ。そこで、ゲーリントン接続を行なつてゐるのである。従つて、ゲーリントン接続された両トランジスターは、 $11 \alpha$ 、および $10 \beta$ 、 $11 \beta$ は電流増幅倍率の大きさ  $n-p-n$  トランジスターとえられはよい。

定電流作用が得られる理由について簡単に説明する。

抵抗 $R_2$ の電流 $I_2$ 側電位は、お上で、ダイオード群 $1, 2$ が2個のダイオードよりなる場合、1個のダイオードの單方向降下分 $V_D$ に等しい。従つて、 $n-p-n$ トランジスター $1, 0$ には抵抗 $R_2$ の電位値で除した電流分 $I_{1,0}/V_D$ が流れ込む。

$n-p-n$ トランジスター $1, 0$ のコレクタ電流 $I_{1,0}$ はベース電流 $I_2$ の電流増幅倍率  $\beta$  に依したもの、

しない。

この請求に對応するものが、逆流防止用ダイオード $1, 3, 2, 1, 3, b$ 、 $n-p-n$ トランジスター $1, 0, 1, 4, 0$ 、ダイオード群 $1, 5$ 、抵抗 $1, 6, 2, 1, 6$ よりなる回路である。

定電流回路 $2$ よりサイリスタ $1, 0$ のドレインの電位が高い場合は、ダイオード $1, 3, 2, 1, 3, b$ を通じて、 $n-p-n$ トランジスター $1, 4, 0$ 、 $1, 0$ を動作させる。そのため、ダイオード $1, 5$ 、抵抗 $1, 6, 2, 1, 6$ を通じて、サイリスタ $1, 0$ より電流が、アース電位に流れれる。この電流がゲート信号とかつてサイリスタ $1, 0$ を反応するのである。

従つて、サイリスタ $1, 0$ がいかなる電位状態にあろうとも、トランジスターに点滅信号を加えれば、定電流回路 $2$ が動作して、サイリスタ $1, 0$ はその $2, 1$ 層あるいは $2, 0$ 層に取付けられたゲート端子を介して同時に点滅するのである。

参考番号 30330(2)  
回路 $1$ は、 $n-p-n$ であり、また、エミッタ偏流、則ち、流れ込む電流 $I_1$ は $I_C + I_A$ であるから、以上の点から、コレクタ電流は下記で表わされる。

$$I_C = \frac{h_{FE}}{1 + h_{FE}} \frac{V_B}{R_L}$$

とかつて、 $n-p-n$ の場合には回路条件に係わらず、一定の電流が得られることがなる。また、ゲーリントン接続されているため、実際に得られる電流は、上記 $I_C$ を $n-p-n$ トランジスター $1, 0$ における電流増幅倍率したものがである。

サイリスタ $1, 0$ の電位は、 $2, 0$ 層のゲート端子による場合は、サイリスタ $1, 0$ の $2, 0$ 層にゲート信号が流れ込む形であり、 $2, 1$ 層のゲート端子による場合は、 $2, 1$ 層からゲート信号が引き出される形で行なわれる。即ち、 $2, 0$ 層のゲート端子による場合は、定電流回路の電位より、サイリスタ $1, 0$ の $2, 0$ 層の電位が低へ場合に行なわれるものであり、逆に $2, 1$ 層の電位が高く、即ち、 $2, 0$ 層の電位が定電流回路 $2$ の電位より高い場合は、 $2, 1$ 層のゲート端子に上らねば

この例で、2組のサイリスタ $1, 0$ を同時點滅する場合について説明したが、サイリスタ $1, 0$ は2組に限定されるものではなく、図示するより、サイリスタ $1, 0$ に応じて、ゲーリントン接続されたトランジスター $1, 0, 1, 1, 0$ 、 $1, 1, 0$ 、ダイオード $1, 4, 0$ トランジスター $1, 0$ からなる構成部分を並列接続すればなれる。

上記するように、電気回路に電位の変動があり、かつ、印加電圧が高くて、高耐圧が要求される回路元素が直結化される半導体実験回路でビニル電気絶縁分離基板（以下ローラー基板と略称する。）が使用される。

ローラー基板は、裏板は別として構成の各部に説明すれば、多孔性シリコンあるいはガラス等の非導電シリコンに熱膨脹係数の近似した物質である支持樹脂の一方上面に多数の半導基シリコンをシリコン酸化膜あるいはシリコン対応樹脂の絕縁膜を介して支持面が一致するようには込んでなるものである。

半導基シリコン（烏骨筆）に支持樹脂の一方を

表面にのぞんだ上部よりは鉛錫酸塗料を用いて不導体を被覆し、所定の回路電子が低抵抗化されるのである。

半導晶シリコンの大きさは、その半導晶シリコン内に被覆化される回路電子の不導体被覆領域より大きく設定され、回路電子の表面利用率（一般に表面積と呼ばれる）是非常に高い。

表面化すべき回路電子が多くなると、リソウ板はそれだけ大きくならなければならない。

表面はリソウ板の面積に比例して増加するため、大きさを面積のリソウ板では経済的非常によくとなる。

それゆえ、本発明の目的はリソウ板面積を縮小化し得る改良された半導体表面回路を提供するにある。

また、本発明の他の目的はリソウ板を構成する半導晶シリコンの一面上に複数の回路電子を低抵抗化し、必極耐熱性シリコンの縮小を図り得る半導体表面回路を提供するにある。

本発明の特徴とするとところは、入力電子あるいは

出力電子が左右に並んでおり、相互に独立して動作する複数個の同一構造、動作を行なう回路電子について、而且複数回路を有する各回路電子の不導体被覆領域を一基の半導晶シリコン内で共用し、相互接続関係を持たない不導体被覆領域は回路電子に対して直接接続シリコン内に相互に独立させて形成することにより、半導晶シリコンを縮小化し、もつて、リソウ板面積を低減化するものである。

次に本発明が適用されるところの入力電子あるいは出力電子が互に接続され、かつ相互に独立して動作する複数個の同一構造、動作を行なう回路電子を第1段のサイリジタ基板回路上に用いて第2段に示す。

第1段(6)には、エミッタおよびベース端子が相互接続されたトランジスタ10a・10bが引用されている。第2段(6)では、コレクタ端子のみが相互接続されたトランジスタ11a・11bが、また第3段(6)ではカソード端子が相互接続されたダイオード13a・13bが各々順引

用されている。

これら、相互接続された回路電子について、本発明に従つて得た半導体表面回路を各回路電子に基づき説明する。

第3図は第1段(6)と第2段(6)に示すpnpトランジスタ10a・10bの半導体表面回路部分を示しておらず、21はリソウ板で、これは半導晶シリコン支持部材22、この支持部材22中に埋込んだ半導晶シリコン島領域23、前者か上げ、表示していない他の半導晶シリコン島領域とを接着に接続するシリコン酸化膜24から構成されている。

両トランジスタ10a・10bはタクフル構造を採り、半導晶シリコン島領域23のドレインコレクタ領域25a・25b、エミート領域26、高抵抗n型ベース電極接触領域27、ドレインエミッタ領域28から構成される。

他ら、この例では、ドレインエミッタ領域28とn型ベース領域26、高抵抗n型ベース電極接触領域27が共用され、両pnpトランジスタ10a・

10bは上記の半導晶シリコン島領域23に親合され、半導晶シリコン島領域の高抵抗化が図られている。

両pnpトランジスタ10a・10bは公知の連続酸化技術により、容易に製作される。

即ち、リソウ板21を熱處理して、表面にシリコン酸化膜を形成する。次に、ホトエクチング技術により、各ドレイン不導体被覆領域、25a・25b・28の部分のシリコン酸化膜を除去し、ドレイン外のドレイン不導体を露出してこれらドレイン不導体酸化膜領域25a・25b・28を形成する。次に、高抵抗n型ベース電極接触領域27の部分のシリコン酸化膜を除去して焼着のドレイン不導体を焼着して、当該領域を得る。不導体焼着時に加熱により、半導晶シリコン酸化膜で覆われたリソウ板21の上記不導体酸化膜各領域上のシリコン酸化膜をホトエクチング技術により除去し、電極接触用の窓を開け、との上にアルミニウム等の導電性薄膜を蒸着技術等で被せ、ホトエクチング技術により不導体酸化膜を除去し、電極接触と共に配線作業を完了す。

る。

所、第3回では、リ1基板21上のシリコン酸化膜およびアルミニウム電極、配線は示していない。

本発明者等の実験によれば、P型コレクタ領域25a、N型ベース領域26、P型エミッタ領域28を上りアモリセクタ領域25b、N型ベース領域26、P型エミッタ領域28で構成される2箇のトランジスタ10a、10bは普通のばらつきの範囲内において、その電流増幅率は同じであった。すな、両コレクタ領域25a、25bの電位が異なつていても、電流増幅率は同程度で、一方のトランジスタのみに電圧が片寄つて施れるととはなかつた。

次に第4回により、第1回を上り第3回に示すトランジスタ10a、10bの半導体基板回路部分について説明する。

第3回に示すリ1基板21の別の半導体シリコン島領域であり、シリコン酸化膜31aより熱的に分離された半導体シリコン島領域32に開ルア

特開昭63-30390(4)  
トランジスタ10a、10bが集成化される。

両ルアトランジスタ10a、10bは、N型コレクタ電極開放領域33、P型コレクタ領域34、N型ベース領域35a、35b、N型エミッタ領域36a、36bより構成される。即ち、一方のルアトランジスタ10aは33、34、35a、36aの名領域上りなり、他方のルアトランジスタ10bは33、34、35b、36bの名領域上りなり、両コレクタ電極開放領域33、P型コレクタ領域34が共用されている。

両ルアトランジスタ10a、10bは全く独立して、しかも同一樹脂をもつて動作するものである。

そして、両ルアトランジスタ10a、10bは第3回に示したルアトランジスタ10a、10bの製作時に同一工程をもつて製作できるため、例等、貴重は増えない。

次に第1回、第2回に示したダイオード23a、23bの間にについて第5回に上り説明する。

リ1基板21のシリコン酸化膜41で被覆分離

された異なる半導体シリコン島領域42に開ルダイオード13a、13bが片面集成化される。

即ち、43a、43bはP型アノード領域であり、44、45はN型カソード領域を上りN型カソード電極開放領域で、この両領域44、45がダイオード13a、13bに開し、共用されている。

次に、以上の各電極電子の実質的配線關係について、第6回に示す。

尚、第6回において、点線にて四角、かつ、外周を引いた部分が電極である。そのうち、右端部を示す配線はルアトランジスタ10a、10bについては51、32、ルアトランジスタ10a、10bについて51a、51bに開り、他の配線55～58は他の相反極性關係を持たない領域間を接続する配線である。そして、各四角電子のそれ、それの領域に配線51～58が接続する部分について、一筋縫にて示しているが、複雑化を避け、ため、リ1基板21上全面に存在するシリコン回路

化被は除かしている。

以上、述べたよう本発明で、複数個の同一電極を有する電極電子を同一半導体シリコン島領域内に開ル電子を構成する構成を適用して集成化しているため、半導体シリコン島領域の使用率を高めでき、リ1基板の使用面積を縮小化できると共に、配線を簡略化できる効果がある。

また、本発明は実施例に示したように、2箇の同一電極電子を同一半導体シリコン島領域に集成化するものに限定されるものではなく、多箇の同一電極電子を同一半導体シリコン島領域内に集成化すれば、より一層の効果が發揮されるものである。

#### 四面の簡単な説明

第1回はサイリスタの点張回路図、第2回は本発明に従つて集成化される第1回中の四角電子の接続關係を示す図、第3回(a)、(b)は第1回を上り第2回(c)のルアトランジスタを本発明に従つて集成化した構造を示すリ1基板の平面的およびルア断面に沿つた横断面図、第4回(d)は第1回

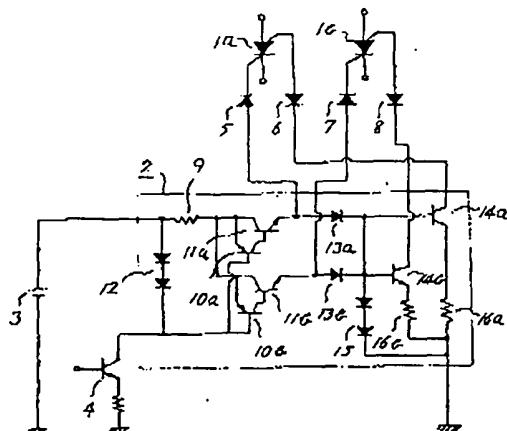
より第2回(6)のノードトランジスタを本発明について更に改良した例を示す。右端の平面図より  
びヨー-8切断部に沿つた断面図、第5回(5)(b)は  
第1回および第2回(6)のダイオードを本発明について更に改良した例を示す。右端の平面図より  
ヨー-8切断部に沿つた断面図。第6回は第3回  
(a)、第4回(b)、第5回(d)に示す各四端子の配置  
並接状況を示す。左側の平面図である。

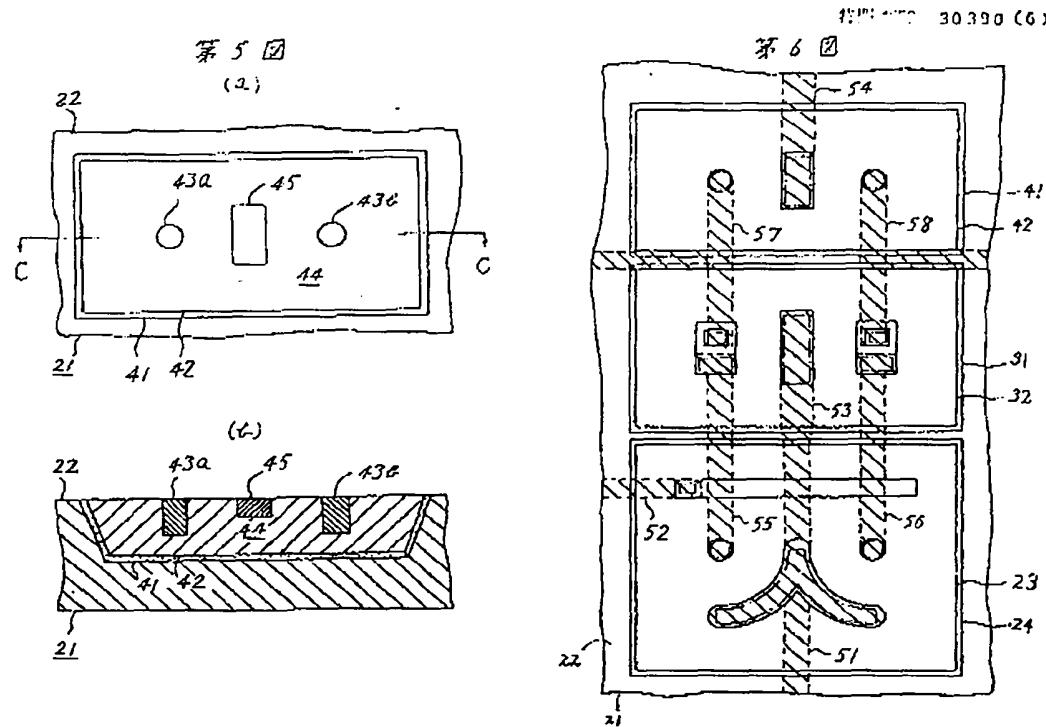
## 符号の説明

- 200, 200' ノードトランジスタ
- 21 リチム酸
- 22 多結晶シリコン実行部材
- 23 単結晶シリコン実行部材
- 24 シリコン酸化膜
- 25, 25' T型コレクタ領域
- 26 ロ型ベース領域
- 27 高濃度N型ベース電極部材
- 28 領域
- 29 ポエミクタ領域
- 代理人 井理士 万喜男元

特許番号 30390 (5)

第1回





## 添附書類の目録

- |         |    |
|---------|----|
| (1) 明細書 | 12 |
| (2) 観   | 12 |
| (3) 並用表 | 12 |
| (4) 表   | 12 |

前記以外の発明者、特許出願人または代理人

## 発明者

本城県日立市幸町3丁目1番1号  
株式会社 日立製作所 日文研究所内  
監修者  
尾井 達哉

住所 神奈川県横浜市戸塚区戸塚町216番地  
株式会社 日立製作所 戸塚工場内  
担当者  
北野 雄一郎

住所 同上  
氏名 福島 一也



**“Emerging Directions for  
Packaging Technologies”**

**Mahahan, Ravi et al.**

**Intel Technology Journal, Volume  
6, Issue 2, Published, May 6, 2002**

**16 pages with cover page**